



**POLITECNICO
MILANO 1863**

DIPARTIMENTO DI ELETTRONICA
INFORMAZIONE E BIOINGEGNERIA

I³N *Innovative
Integrated
Instrumentation
for Nanoscience*



Consiglio Nazionale
delle Ricerche

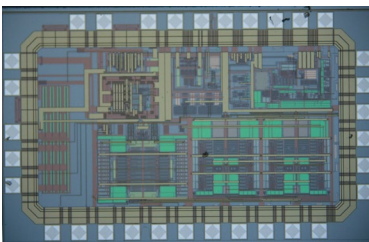
Proposta di TESI di LAUREA MAGISTRALE

Neuromorphic CMOS analog circuits for brain-inspired computation

Molti dei recenti successi dell'intelligenza artificiale sono stati raggiunti grazie allo sviluppo di reti neurali vagamente ispirate al funzionamento del cervello. Esse sono implementate a livello software su calcolatori ad alte prestazioni aventi un'architettura tradizionale che sebbene garantiscano un'adeguata potenza di calcolo comportano anche un elevato consumo di energia, incompatibile con applicazioni portatili e sistemi compatti autonomi. Per superare le attuali limitazioni si stanno studiando architetture hardware radicalmente diverse che permettano un'implementazione energeticamente efficiente delle reti neurali artificiali.

In questo ambito, il laboratorio I3N del dipartimento di elettronica in collaborazione con il Dr. Prati del Consiglio Nazionale delle Ricerche sta sviluppando un circuito integrato in tecnologia CMOS in cui i neuroni e le sinapsi (i punti di connessione tra neuroni che definiscono il comportamento della rete neurale) sono realizzati con circuiti analogici compatti e a bassissimo consumo di potenza. La comunicazione all'interno della rete avviene tramite impulsi di tensione, in analogia a quanto avviene nel cervello, evitando una dispendiosa codifica digitale. Le sinapsi sono dotate di memorie analogiche a lungo termine programmabili che permettono alla rete di evolvere per apprendere uno specifico compito. L'obiettivo della tesi è completare il progetto del circuito integrato, sviluppato fino ad ora a livello di simulazioni circuitali, e inviarlo alla fonderia di silicio per una successiva validazione sperimentale.

Rete di neuroni biologici



(<https://www.extremetech.com/wp-content/uploads/2015/07/neural-net-head.jpg>)

Aspetti della Tesi e competenze acquisibili:

- *Sistemi di elaborazione hardware basati su reti neurali;*
- *Memorie analogiche (quasi)permanenti in tecnologia CMOS;*
- *Progetto di circuiti integrati analogici a bassissimo consumo di potenza;*
- *Realizzazione di un circuito elettronico integrato in tecnologia CMOS seguendo tutte le fasi necessarie: progetto circuitale, simulazione con Cadence IC, disegno del layout circuitale, sottomissione alla fonderia;*

Per maggiori informazioni :

Prof. Marco Sampietro (tel. 02.2399.6188, marco.sampietro@polimi.it)
Dr. Giorgio Ferrari (tel. 02.2399.4008, giorgio.ferrari@polimi.it)